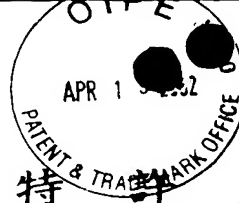


日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年10月29日

出 願 番 号

Application Number:

特願2001-330784

[ST.10/C]:

[JP2001-330784]

出 願 人

Applicant(s):

セイコーエプソン株式会社

2002年 1月29日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2002-3002160

【書類名】 特許願

【整理番号】 EP-0320101

【提出日】 平成13年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8244

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 唐澤 純一

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 渡辺 邦雄

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

【氏名又は名称】 大 淵 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 88309

【出願日】 平成13年 3月26日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、メモリシステムおよび電子機器

【特許請求の範囲】

【請求項 1】 第 1 駆動トランジスタと、第 2 駆動トランジスタと、第 1 転送トランジスタと、第 2 転送トランジスタと、第 1 負荷トランジスタと、第 2 負荷トランジスタとを含むメモリセルを備える半導体装置であって、

前記第 1 負荷トランジスタのゲート電極と、前記第 1 駆動トランジスタのゲート電極とを含む、第 1 ゲートーゲート電極層と、

前記第 2 負荷トランジスタのゲート電極と、前記第 2 駆動トランジスタのゲート電極とを含む、第 2 ゲートーゲート電極層と、

前記第 1 負荷トランジスタのドレイン領域と、前記第 1 駆動トランジスタのドレイン領域とを電氣的に接続する接続層の一部を構成する、第 1 ドレインードレイン配線層と、

前記第 2 負荷トランジスタのドレイン領域と、前記第 2 駆動トランジスタのドレイン領域とを電氣的に接続する接続層の一部を構成する、第 2 ドレインードレイン配線層と、

前記第 1 ゲートーゲート電極層と、前記第 2 ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第 1 ドレインーゲート配線層と、

前記第 2 ゲートーゲート電極層と、前記第 1 ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第 2 ドレインーゲート配線層と、を含み、

前記第 1 ドレインーゲート配線層と、前記第 2 ドレインーゲート配線層とは、それぞれ異なる層に位置し、

前記第 1 負荷トランジスタにおける第 1 ゲートーゲート電極層の幅は、前記第 1 駆動トランジスタにおける第 1 ゲートーゲート電極層の幅よりも大きい、半導体装置。

【請求項 2】 請求項 1 において、

前記第 2 負荷トランジスタにおける第 2 ゲートーゲート電極層の幅は、前記第

2 駆動トランジスタにおける第 2 ゲートーゲート電極層の幅よりも大きい、半導体装置。

【請求項 3】 請求項 1 または 2 において、

一方で隣接するメモリセルに設けられた、第 3 負荷トランジスタのゲート電極および第 3 駆動トランジスタのゲート電極を含む、第 3 ゲートーゲート電極層を有し、

前記第 1 負荷トランジスタと、前記第 3 負荷トランジスタとは、第 1 不純物層をそれぞれのソース領域として共用し、

前記第 1 不純物層の上に、第 1 コンタクト部が設けられ、

前記第 1 コンタクト部は、前記第 1 ゲートーゲート電極層と前記第 3 ゲートーゲート電極層との間以外の領域に設けられている、半導体装置。

【請求項 4】 請求項 1 ～ 3 のいずれかにおいて、

他方で隣接するメモリセルに設けられた、第 4 負荷トランジスタのゲート電極および第 4 駆動トランジスタのゲート電極を含む、第 4 ゲートーゲート電極層を有し、

前記第 2 負荷トランジスタと、前記第 4 負荷トランジスタとは、第 2 不純物層をそれぞれのソース領域として共用し、

前記第 2 不純物層の上に、第 2 コンタクト部が設けられ、

前記第 2 コンタクト部は、前記第 2 ゲートーゲート電極層と前記第 4 ゲートーゲート電極層との間以外の領域に設けられている、半導体装置。

【請求項 5】 請求項 1 ～ 4 のいずれかにおいて、

前記第 1 ドレインーゲート配線層は、前記第 2 ドレインードレイン配線層とコンタクト部を介して電氣的に接続され、

前記第 2 ドレインーゲート配線層は、前記第 2 ゲートーゲート電極層とコンタクト部を介して電氣的に接続され、かつ、前記第 1 ドレインードレイン配線層とコンタクト部を介して電氣的に接続されている、半導体装置。

【請求項 6】 請求項 1 ～ 5 のいずれかにおいて、

前記第 1 ドレインーゲート配線層は、前記第 2 ドレインーゲート配線層より下の層に位置している、半導体装置。

【請求項 7】 請求項 1 ～ 6 のいずれかにおいて、

前記第 1 ドレインゲート配線層は、前記第 1 ゲートゲート電極層と同じ層に位置している、半導体装置。

【請求項 8】 請求項 1 ～ 7 のいずれかにおいて、

前記第 2 ドレインゲート配線層は、複数の層にわたって構成されている、半導体装置。

【請求項 9】 請求項 8 において、

前記第 2 ドレインゲート配線層は、第 2 ドレインゲート配線層の下層部と、第 2 ドレインゲート配線層の上層部とを有し、

前記第 2 ドレインゲート配線層の上層部は、第 2 ドレインゲート配線層の下層部より上の層に位置し、かつ、第 2 ドレインゲート配線層の下層部と電氣的に接続されている、半導体装置。

【請求項 10】 請求項 9 において、

前記第 2 ドレインゲート配線層の上層部は、前記第 2 ドレインゲート配線層の下層部と、コンタクト部を介して電氣的に接続されている、半導体装置。

【請求項 11】 請求項 9 または 10 において、

前記第 1 ゲートゲート電極層、前記第 2 ゲートゲート電極層および前記第 1 ドレインゲート配線層は、前記第 1 層導電層に位置し、

前記第 1 ドレインドレイン配線層、前記第 2 ドレインドレイン配線層および前記第 2 ドレインゲート配線層の下層部は、前記第 2 層導電層に位置し、

前記第 2 ドレインゲート配線層の上層部は、前記第 3 層導電層に位置する、半導体装置。

【請求項 12】 請求項 1 ～ 11 のいずれかにおいて、

第 2 層導電層は、高融点金属の窒化物層である、半導体装置。

【請求項 13】 請求項 1 ～ 12 のいずれかにおいて、

第 2 層導電層の厚さは、100 ～ 200 nm である、半導体装置。

【請求項 14】 請求項 1 ～ 13 のいずれかに記載の前記半導体装置を備える、メモリシステム。

【請求項 15】 請求項 1 ～ 13 のいずれかに記載の前記半導体装置を備え

る、電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、SRAM (static random access memory) のような半導体装置、および、これを備えるメモリシステム、電子機器に関する。

【0002】

【背景技術】

半導体記憶装置の一種であるSRAMは、リフレッシュ動作が不要なのでシステムを簡単にできることや低消費電力であるという特徴を有する。このため、SRAMは、例えば、携帯電話のような電子機器のメモリに好適に使用される。

【0003】

【発明が解決しようとする課題】

本発明の目的は、セル面積を小さくすることができる、半導体装置を提供することにある。

【0004】

本発明の他の目的は、本発明の半導体装置を含むメモリシステムおよび電子機器を提供することにある。

【0005】

【課題を解決するための手段】

1. 半導体装置

第1駆動トランジスタと、第2駆動トランジスタと、第1転送トランジスタと、第2転送トランジスタと、第1負荷トランジスタと、第2負荷トランジスタとを含むメモリセルを備える半導体装置であって、

前記第1負荷トランジスタのゲート電極と、前記第1駆動トランジスタのゲート電極とを含む、第1ゲートーゲート電極層と、

前記第2負荷トランジスタのゲート電極と、前記第2駆動トランジスタのゲート電極とを含む、第2ゲートーゲート電極層と、

前記第1負荷トランジスタのドレイン領域と、前記第1駆動トランジスタのド

レイン領域とを電氣的に接続する接続層の一部を構成する、第 1 ドレインードレイン配線層と、

前記第 2 負荷トランジスタのドレイン領域と、前記第 2 駆動トランジスタのドレイン領域とを電氣的に接続する接続層の一部を構成する、第 2 ドレインードレイン配線層と、

前記第 1 ゲートゲート電極層と、前記第 2 ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第 1 ドレインーゲート配線層と、

前記第 2 ゲートゲート電極層と、前記第 1 ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第 2 ドレインーゲート配線層と、を含み、

前記第 1 ドレインーゲート配線層と、前記第 2 ドレインーゲート配線層とは、それぞれ異なる層に位置し、

前記第 1 負荷トランジスタにおける第 1 ゲートゲート電極層の幅は、前記第 1 駆動トランジスタにおける第 1 ゲートゲート電極層の幅よりも大きい。

【 0 0 0 6 】

ここで、「配線層」とは、フィールドまたは層間絶縁層の上に配置された、層状の導電層をいう。

【 0 0 0 7 】

本発明においては、第 2 ドレインーゲート配線層は、前記第 1 ドレインーゲート配線層より上の層に位置している。すなわち、第 1 ドレインーゲート配線層と、第 2 ドレインーゲート配線層とは、それぞれ異なる層に位置している。このため、本発明によれば、第 1 ドレインーゲート配線層と、第 2 ドレインーゲート配線層とを同じ層に形成する場合に比べて、第 1 ドレインーゲート配線層および第 2 ドレインーゲート配線層が形成された各層における配線層のパターン密度を低減することができ、セル面積を小さくすることができる。

【 0 0 0 8 】

また、本発明においては、第 1 負荷トランジスタにおける第 1 ゲートゲート電極層の幅は、第 1 駆動トランジスタにおける第 1 ゲートゲート電極層の幅よりも大きい。このため、後述する理由で、第 1 負荷トランジスタにおけるリーク

電流を抑えることができる。

【 0 0 0 9 】

本発明の半導体装置は、次の態様のうち、少なくともいずれかの態様をとることができる。

【 0 0 1 0 】

(a) 前記第 2 負荷トランジスタにおける第 2 ゲートーゲート電極層の幅は、前記第 2 駆動トランジスタにおける第 2 ゲートーゲート電極層の幅よりも大きい態様。この態様の場合、後述する理由で、第 2 負荷トランジスタにおけるリーク電流を抑えることができる。

【 0 0 1 1 】

(b) 一方で隣接するメモリセルに設けられた、第 3 負荷トランジスタのゲート電極および第 3 駆動トランジスタのゲート電極を含む、第 3 ゲートーゲート電極層を有し、

前記第 1 負荷トランジスタと、前記第 3 負荷トランジスタとは、第 1 不純物層をそれぞれのソース領域として共用し、

前記第 1 不純物層の上に、第 1 コンタクト部が設けられ、

前記第 1 コンタクト部は、前記第 1 ゲートーゲート電極層と前記第 3 ゲートーゲート電極層との間以外の領域に設けられている態様。

【 0 0 1 2 】

この態様の場合、第 1 または第 3 ゲートーゲート電極層と、第 1 コンタクト部との間の余裕を確保できるため、それらの間のショートを抑えることができる。

【 0 0 1 3 】

(c) 他方で隣接するメモリセルに設けられた、第 4 負荷トランジスタのゲート電極および第 4 駆動トランジスタのゲート電極を含む、第 4 ゲートーゲート電極層を有し、

前記第 2 負荷トランジスタと、前記第 4 負荷トランジスタとは、第 2 不純物層をそれぞれのソース領域として共用し、

前記第 2 不純物層の上に、第 2 コンタクト部が設けられ、

前記第 2 コンタクト部は、前記第 2 ゲートーゲート電極層と前記第 4 ゲートー

ゲート電極層との間以外の領域に設けられている態様。

【 0 0 1 4 】

この態様の場合、第 2 または第 4 ゲートゲート電極層と、第 2 コンタクト部との間の余裕を確保できるため、それらの間のショートを抑えることができる。

【 0 0 1 5 】

(d) 前記第 1 ドレインゲート配線層は、前記第 2 ドレインードレイン配線層とコンタクト部を介して電氣的に接続され、

前記第 2 ドレインゲート配線層は、前記第 2 ゲートゲート電極層とコンタクト部を介して電氣的に接続され、かつ、前記第 1 ドレインードレイン配線層とコンタクト部を介して電氣的に接続されている態様。

【 0 0 1 6 】

(e) 前記第 1 ドレインゲート配線層は、前記第 2 ドレインゲート配線層より下の層に位置している態様。

【 0 0 1 7 】

(f) 前記第 1 ドレインゲート配線層は、前記第 1 ゲートゲート電極層と同じ層に位置している態様。

【 0 0 1 8 】

(g) 前記第 2 ドレインゲート配線層は、複数の層にわたって構成されている態様。

【 0 0 1 9 】

この態様の場合、前記第 2 ドレインゲート配線層は、第 2 ドレインゲート配線層の下層部と、第 2 ドレインゲート配線層の上層部とを有し、

前記第 2 ドレインゲート配線層の上層部は、第 2 ドレインゲート配線層の下層部より上の層に位置し、かつ、第 2 ドレインゲート配線層の下層部と電氣的に接続されていることができる。

【 0 0 2 0 】

また、この態様の場合、前記第 2 ドレインゲート配線層の上層部は、前記第 2 ドレインゲート配線層の下層部と、コンタクト部を介して電氣的に接続されていることができる。

【 0 0 2 1 】

また、この態様の場合、前記第 1 ゲートーゲート電極層、前記第 2 ゲートーゲート電極層および前記第 1 ドレインーゲート配線層は、前記第 1 層導電層に位置し、

前記第 1 ドレインードレイン配線層、前記第 2 ドレインードレイン配線層および前記第 2 ドレインーゲート配線層の下層部は、前記第 2 層導電層に位置し、

前記第 2 ドレインーゲート配線層の上層部は、前記第 3 層導電層に位置していることができる。

【 0 0 2 2 】

(h) 第 2 層導電層は、高融点金属の窒化物層（たとえば窒化チタン）である態様。第 2 層導電層が高融点金属の窒化物層であることにより、第 2 層導電層の厚さを小さくすることができ、微細加工がし易い。したがって、セル面積の低減を図ることができる。前記第 2 層導電層の厚さは、100～200nmであることができる。

【 0 0 2 3 】

2. メモリシステム

本発明のメモリシステムは、本発明の半導体装置を備える。

【 0 0 2 4 】

3. 電子機器

本発明の電子機器は、本発明の半導体装置を備える。

【 0 0 2 5 】

【発明の実施の形態】

本発明の実施の形態について説明する。本実施の形態は、本発明にかかる半導体装置を、SRAMに適用したものである。

【 0 0 2 6 】

1. SRAMの等価回路

図 1 は、本実施の形態にかかる SRAM の等価回路と、導電層との対応関係を示す図である。本実施の形態にかかる SRAM は、6 個の MOS 電界効果トランジスタにより、一つのメモリセルが構成されるタイプである。つまり、n チャネ

ル型の駆動トランジスタQ3とpチャネル型の負荷トランジスタQ5とで、一つのCMOSインバータが構成されている。また、nチャネル型の駆動トランジスタQ4とpチャネル型の負荷トランジスタQ6とで、一つのCMOSインバータが構成されている。この二つのCMOSインバータをクロスカップルすることにより、フリップフロップが構成される。そして、このフリップフロップと、nチャネル型の転送トランジスタQ1、Q2とにより、一つのメモリセルが構成される。

【0027】

2. SRAMの構造

以下、SRAMの構造を説明する。まず、各図面を簡単に説明する。

【0028】

図1は、本実施の形態にかかるSRAMの等価回路と、導電層との対応関係を示す図である。図2は、本実施の形態に係るSRAMのメモリセルのフィールドを模式的に示す平面図である。図3は、本実施の形態に係るSRAMのメモリセルの第1層導電層を模式的に示す平面図である。図4は、本実施の形態に係るSRAMのメモリセルの第2層導電層を模式的に示す平面図である。図5は、本実施の形態に係るSRAMのメモリセルの第3層導電層を模式的に示す平面図である。図6は、本実施の形態に係るSRAMのメモリセルの第4層導電層を模式的に示す平面図である。図7は、本実施の形態に係るSRAMのメモリセルのフィールドおよび第1層導電層を模式的に示す平面図である。図8は、本実施の形態に係るSRAMのメモリセルのフィールドおよび第2層導電層を模式的に示す平面図である。図9は、本実施の形態に係るSRAMのメモリセルの第1層導電層および第2層導電層を模式的に示す平面図である。図10は、本実施の形態に係るSRAMのメモリセルの第2層導電層および第3層導電層を模式的に示す平面図である。図11は、本実施の形態に係るSRAMのメモリセルの第3層導電層および第4層導電層を模式的に示す平面図である。図12は、図2～図11のA-A線に沿った断面を模式的に示す断面図である。図13は、図2～図11のB-B線に沿った断面を模式的に示す断面図である。

【0029】

S R A Mは、フィールドに形成された素子形成領域と、第1層導電層と、第2層導電層と、第3層導電層と、第4層導電層とを含んで構成されている。以下、フィールドおよび第1～第4層導電層の各構成について、具体的に説明する。

【0030】

2. 1 フィールド

図2を参照しながら、フィールドについて説明する。フィールドは、第1～第4活性領域14, 15, 16, 17および素子分離領域12を有する。第1～第4活性領域14, 15, 16, 17は、素子分離領域12によって画定されている。第1および第2活性領域14, 15が形成された側の領域は、n型ウエル領域W10となっており、第3および第4活性領域16, 17が形成された側の領域は、p型ウエル領域W20となっている。

【0031】

第1活性領域14と第2活性領域15とは、平面形状に関して、対称関係にある。また、第3活性領域16と第4活性領域17とは、平面形状に関して、対称関係にある。

【0032】

第1活性領域14において、第1負荷トランジスタQ5が形成される。第1活性領域14内には、第1の p^+ 型不純物層14aおよび第2の p^+ 型不純物層14bが形成されている。第1の p^+ 型不純物層14aは、第1負荷トランジスタQ5のソースとして機能する。第2の p^+ 型不純物層14bは、第1負荷トランジスタQ5のドレインとして機能する。

【0033】

第2活性領域15において、第2負荷トランジスタQ6が形成される。第2活性領域15内には、第3の p^+ 型不純物層15aおよび第4の p^+ 型不純物層15bが形成されている。第3の p^+ 型不純物層15aは、第2負荷トランジスタQ6のソースとして機能する。第4の p^+ 型不純物層15bは、第2負荷トランジスタQ6のドレインとして機能する。

【0034】

第3活性領域16において、第1駆動トランジスタQ3および第1転送トラン

ジスタQ1が形成される。第3活性領域16内には、トランジスタQ1、Q3の構成要素となる第1～第3の n^+ 型不純物層16a、16b、16cと、ウエルコンタクト領域を構成する第5の p^+ 型不純物層16dとが形成されている。第1の n^+ 型不純物層16aは、第1転送トランジスタQ1のソースまたはドレインとして機能する。第2の n^+ 型不純物層16bは、第1駆動トランジスタQ3のドレイン、および、第1転送トランジスタQ1のソースまたはドレインとして機能する。第3の n^+ 型不純物層16cは、第1駆動トランジスタQ3のソースとして機能する。

【0035】

第4活性領域17において、第2駆動トランジスタQ4および第2転送トランジスタQ2が形成される。第4活性領域17内には、トランジスタQ2、Q4の構成要素となる第4～第6の n^+ 型不純物層17a、17b、17cと、ウエルコンタクト領域を構成する第6の p^+ 型不純物層17dとが形成されている。第4の n^+ 型不純物層17aは、第2転送トランジスタQ2のソースまたはドレインとして機能する。第5の n^+ 型不純物層17bは、第2駆動トランジスタQ4のドレイン、および、第2転送トランジスタQ2のソースまたはドレインとして機能する。第6の n^+ 型不純物層17cは、第2駆動トランジスタQ4のソースとして機能する。

【0036】

2. 2 第1層導電層

次に、図3および図7を参照しながら、第1層導電層を説明する。なお、第1層導電層とは、フィールド（半導体層）10の上に形成された導電層をいう。

【0037】

第1層導電層は、第1ゲートーゲート電極層20と、第2ゲートーゲート電極層22と、第1ドレインーゲート配線層30と、副ワード線24とを有する。

【0038】

第1ゲートーゲート電極層20および第2ゲートーゲート電極層22は、Y方向に沿って伸びるように形成されている。第1ドレインーゲート配線層30および副ワード線24は、X方向に沿って伸びるように形成されている。

【 0 0 3 9 】

以下、第 1 層導電層の各構成要素について、具体的に説明する。

【 0 0 4 0 】

1) 第 1 ゲートーゲート電極層

第 1 ゲートーゲート電極層 2 0 は、図 7 に示すように、第 1 活性領域 1 4 および第 3 活性領域 1 6 と交差するように形成されている。第 1 ゲートーゲート電極層 2 0 は、第 1 負荷トランジスタ Q 5 および第 1 駆動トランジスタ Q 3 のゲート電極として機能する。

【 0 0 4 1 】

第 1 ゲートーゲート電極層 2 0 は、第 1 活性領域 1 4 において、第 1 の p^+ 型不純物層 1 4 a と第 2 の p^+ 型不純物層 1 4 b との間を通るように形成されている。すなわち、第 1 ゲートーゲート電極層 2 0 と、第 1 の p^+ 型不純物層 1 4 a と、第 2 の p^+ 型不純物層 1 4 b とで、第 1 負荷トランジスタ Q 5 を構成している。また、第 1 ゲートーゲート電極層 2 0 は、第 3 活性領域 1 6 において、第 2 の n^+ 型不純物層 1 6 b と第 3 の n^+ 型不純物層 1 6 c との間を通るように形成されている。すなわち、第 1 ゲートーゲート電極層 2 0 と、第 2 の n^+ 型不純物層 1 6 b と、第 3 の n^+ 型不純物層 1 6 c とで、第 1 駆動トランジスタ Q 3 を構成している。

【 0 0 4 2 】

第 1 負荷トランジスタ Q 5 における第 1 ゲートーゲート電極層 2 0 の幅 W 1 は、第 1 駆動トランジスタ Q 3 における第 1 ゲートーゲート電極層 2 0 の幅 W 2 よりも大きく設定されている。この作用効果は、後述の「作用効果」の項で説明する。第 1 負荷トランジスタ Q 5 における第 1 ゲートーゲート電極層 2 0 の幅 W 1 は、第 1 ゲートーゲート電極層 2 0 の幅 W 2 より大きければ特に限定されず、たとえば 0. 1 4 ~ 0. 1 8 μm である。第 1 駆動トランジスタ Q 3 における第 1 ゲートーゲート電極層 2 0 の幅 W 2 は、第 1 ゲートーゲート電極層 2 0 の幅 W 1 より小さければ特に限定されず、たとえば 0. 1 2 ~ 0. 1 6 μm である。

【 0 0 4 3 】

2) 第 1 ドレインーゲート配線層

第1ドレインゲート配線層30は、第1ゲートゲート電極層20の側部から、第2ゲートゲート電極層22に向かってX方向に沿って伸びるように形成されている。また、第1ドレインゲート配線層30は、図7に示すように、少なくとも、第1活性領域14と第3活性領域16との間において形成されている。

【0044】

3) 第2ゲートゲート電極層

第2ゲートゲート電極層22は、図7に示すように、第2活性領域15および第4活性領域17と交差するように形成されている。第2ゲートゲート電極層22は、第2負荷トランジスタQ6および第2駆動トランジスタQ4のゲート電極として機能する。

【0045】

第2ゲートゲート電極層22は、第2活性領域15において、第3の p^+ 型不純物層15aと第4の p^+ 型不純物層15bとの間を通るように形成されている。すなわち、第2ゲートゲート電極層22と、第3の p^+ 型不純物層15aと、第4の p^+ 型不純物層15bとで、第2負荷トランジスタQ6を構成している。また、第2ゲートゲート電極層22は、第4活性領域17において、第5の n^+ 型不純物層17bと第6の n^+ 型不純物層17cとの間を通るように形成されている。すなわち、第2ゲートゲート電極層22と、第5の n^+ 型不純物層17bと、第6の n^+ 型不純物層17cとで、第2駆動トランジスタQ4を構成している。

【0046】

第2負荷トランジスタQ6における第2ゲートゲート電極層22の幅W3は、第2駆動トランジスタQ4における第2ゲートゲート電極層22の幅W4よりも大きく設定されている。この作用効果は、後述の「作用効果」の項で説明する。第2負荷トランジスタQ6における第2ゲートゲート電極層22の幅W3は、第2ゲートゲート電極層22の幅W4より大きければ特に限定されず、たとえば0.14~0.18 μm である。第2駆動トランジスタQ4における第2ゲートゲート電極層22の幅W4は、第2ゲートゲート電極層22の幅W3

より小さければ特に限定されず、たとえば0.12～0.16 μm である。

【0047】

4) 副ワード線

副ワード線24は、図7に示すように、第3活性領域16および第4活性領域17と交差するように形成されている。副ワード線24は、第1および第2転送トランジスタQ1、Q2のゲート電極として機能する。

【0048】

副ワード線24は、第3活性領域16において、第1の n^+ 型不純物層16aと第2の n^+ 型不純物層16bとの間を通るように形成されている。すなわち、副ワード線24と、第1の n^+ 型不純物層16aと、第2の n^+ 型不純物層16bとで、第1転送トランジスタQ1を構成している。また、副ワード線24は、第4活性領域17において、第4の n^+ 型不純物層17aと第5の n^+ 型不純物層17bとの間を通るように形成されている。すなわち、副ワード線24と、第4の n^+ 型不純物層17aと、第5の n^+ 型不純物層17bとで、第2転送トランジスタQ2を構成している。

【0049】

5) 第1層導電層等の断面構造

第1層導電層は、たとえば、ポリシリコン層およびシリサイド層が順次積層されて構成されることができる。

【0050】

図12および図13に示すように、フィールドおよび第1層導電層の上には、第1層間絶縁層90が形成されている。第1層間絶縁層90は、たとえば化学的機械的研磨法により、平坦化処理がなされて構成されることができる。

【0051】

2.3 第2層導電層

以下、図4、図8および図9を参照しながら、第2層導電層を説明する。なお、第2層導電層とは、第1層間絶縁層90の上に形成された導電層をいう。

【0052】

第2層導電層は、図4に示すように、第1ドレインードレイン配線層40と、

第2ドレインードレイン配線層42と、第2ドレインーゲート配線層の下層部32aと、第1BLコンタクトパッド層70aと、第1ノBLコンタクトパッド層72aと、第1Vssコンタクトパッド層74aと、Vddコンタクトパッド層76とを有する。

【0053】

第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第2ドレインーゲート配線層の下層部32aとは、Y方向に沿って伸びるように形成されている。第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第2ドレインーゲート配線層の下層部32aとは、X方向に順次配列されている。

【0054】

以下、第2層導電層の各構成要素について、具体的に説明する。

【0055】

1) 第1ドレインードレイン配線層

第1ドレインードレイン配線層40は、第1活性領域14および第3活性領域16と平面的にみて重なる部分を有する(図8参照)。具体的には、第1ドレインードレイン配線層40の一方の端部40aは、第2の p^+ 型不純物層14bの上方に位置している。第1ドレインードレイン配線層40の一方の端部40aと第2の p^+ 型不純物層14bとは、フィールドと第2層導電層とのコンタクト部(以下「フィールド・第2層ーコンタクト部」という)80を介して電氣的に接続されている。第1ドレインードレイン配線層40の他方の端部40bは、第2の n^+ 型不純物層16bの上方に位置している。第1ドレインードレイン配線層40の他方の端部40bと第2の n^+ 型不純物層16bとは、フィールド・第2層ーコンタクト部80を介して電氣的に接続されている。

【0056】

2) 第2ドレインードレイン配線層

第2ドレインードレイン配線層42は、第2活性領域15および第4活性領域17と平面的にみて重なる部分を有する(図8参照)。具体的には、第2ドレインードレイン配線層42の一方の端部42aは、第4の p^+ 型不純物層15bの

上方に位置している。第2ドレインードレイン配線層42の一方の端部42aと、第4の p^+ 型不純物層15bとは、フィールド・第2層ーコンタクト部80を介して電氣的に接続されている。第2ドレインードレイン配線層42の他方の端部42bは、第5の n^+ 型不純物層17bの上方に位置している。第2ドレインードレイン配線層42の他方の端部42bと、第5の n^+ 型不純物層17bとは、フィールド・第2層ーコンタクト部80を介して電氣的に接続されている。

【0057】

さらに、第2ドレインードレイン配線層42は、第1ドレインーゲート配線層30の端部30aと平面的にみて重なる部分を有する(図9参照)。第2ドレインードレイン配線層42と、第1ドレインーゲート配線層30の端部30aとは、第1層導電層と第2層導電層とのコンタクト部(以下「第1層・第2層ーコンタクト部」という)82を介して電氣的に接続されている。

【0058】

3) 第2ドレインーゲート配線層の下層部

第2ドレインーゲート配線層の下層部32aは、第2ドレインードレイン配線層42を基準として、第1ドレインードレイン配線層40の反対側に形成されている。第2ドレインーゲート配線層の下層部32aは、第2ゲートーゲート電極層22と平面的にみて重なる部分を有する(図9参照)。第2ドレインーゲート配線層の下層部32aと、第2ゲートーゲート電極層22とは、第1層・第2層ーコンタクト部82を介して電氣的に接続されている。

【0059】

4) 第1BLコンタクトパッド層

第1BLコンタクトパッド層70aは、第3活性領域16における第1の n^+ 型不純物層16aの上方に位置している(図8参照)。第1BLコンタクトパッド層70aと第1の n^+ 型不純物層16aとは、フィールド・第2層ーコンタクト部80を介して電氣的に接続されている。

【0060】

5) 第1/BLコンタクトパッド層

第1/BLコンタクトパッド層72aは、第4活性領域17における第4の n

n^+ 型不純物層 17a の上方に位置している (図 8 参照)。第 1/B L コンタクトパッド層 72a と第 4 の n^+ 型不純物層 17a とは、フィールド・第 2 層-コンタクト部 80 を介して電氣的に接続されている。

【0061】

6) 第 1 V s s コンタクトパッド層

各第 1 V s s コンタクトパッド層 74a は、駆動トランジスタ Q3, Q4 のソース (たとえば第 3 の n^+ 型不純物層 16c) およびウエルコンタクト領域 (たとえば第 5 の p^+ 型不純物層 16d) の上方に位置している (図 8 参照)。各第 1 V s s コンタクトパッド層 74a は、フィールド・第 2 層-コンタクト部 80 を介して、駆動トランジスタ Q3, Q4 のソース (たとえば第 3 の n^+ 型不純物層 16c) と電氣的に接続されている。また、第 1 V s s コンタクトパッド層 74a は、フィールド・第 2 層-コンタクト部 80 を介して、ウエルコンタクト領域 (たとえば第 4 の p^+ 型不純物層 16d) と電氣的に接続されている。

【0062】

7) V d d コンタクトパッド層

各 V d d コンタクトパッド層 76 は、負荷トランジスタ Q5, Q6 のソース (たとえば第 1 の p^+ 型不純物層 14a) の上方に位置されている。各 V d d コンタクトパッド層 76 は、フィールド・第 2 層-コンタクト部 80 を介して、負荷トランジスタ Q5, Q6 のソース (たとえば第 1 の p^+ 型不純物層 14a) と電氣的に接続されている。

【0063】

8) 第 2 層導電層等の断面構造

次に、第 2 層導電層の断面構造について、図 12 および図 13 を用いて説明する。第 2 層導電層は、例えば、高融点金属の窒化物層のみからなることができる。第 2 層導電層の厚さは、たとえば 100~200 nm、好ましくは 140~160 nm である。高融点金属の窒化物層は、例えば、窒化チタンからなることができる。第 2 層導電層が高融点金属の窒化物層からなることにより、第 2 層導電層の厚さを小さくすることができ、微細加工がし易い。したがって、セル面積の低減を図ることができる。

【 0 0 6 4 】

また、第2層導電層は、次のいずれかの態様であってもよい。1) 高融点金属からなる金属層上に、高融点金属の窒化物層を形成した構造を有していてもよい。この場合、高融点金属からなる金属層は、下敷きとなり、例えば、チタン層からなることができる。高融点金属の窒化物層の材料としては、窒化チタンを挙げることができる。2) 第2層導電層の構成は、高融点金属の金属層のみから構成されてもよい。

【 0 0 6 5 】

次に、フィールド・第2層ーコンタクト部80の断面構造について、図12および図13を用いて説明する。フィールド・第2層ーコンタクト部80は、第1層間絶縁層90に形成されたスルーホール90aを充填するように形成されている。フィールド・第2層ーコンタクト部80は、バリア層80aと、バリア層80aの上に形成されたプラグ80bとを含む。プラグの材料としては、チタン、タングステンを挙げることができる。バリア層80aとしては、高融点金属からなる金属層と、その金属層の上に形成された高融点金属の窒化物層とからなることが好ましい。高融点金属からなる金属層の材質としては、たとえばチタンを挙げることができる。高融点金属の窒化物層の材質としては、たとえば窒化チタンを挙げることができる。

【 0 0 6 6 】

フィールド・第2層ーコンタクト部80のうち、負荷トランジスタQ5、Q6のソース（たとえば第1の p^+ 型不純物層14aまたは第3の p^+ 型不純物層15a）とVddコンタクトパッド層76とを接続するコンタクト部80は、次のようにして設けられることができる。なお、図16に示すように、一のメモリセルMCの負荷トランジスタQ5が、隣り合うメモリセルの負荷トランジスタQ6と、一つの不純物層14aをそれぞれのソースとして共用する場合を考える。この場合には、一のメモリセルMCのゲートーゲート電極層20と、他のメモリセルMCのゲートーゲート電極層22との間以外の領域に、フィールド・第2層ーコンタクト部80が設けられることができる。この作用効果は、後述の「作用効果」の欄で説明する。

【 0 0 6 7 】

次に、第1層・第2層ーコンタクト部82の断面構造について、図12および図13を用いて説明する。第1層・第2層ーコンタクト部82は、第1層間絶縁層90に形成されたスルーホール90bを充填するように形成されている。第1層・第2層ーコンタクト部82は、フィールド・第2層ーコンタクト部80において述べた構成と同様の構成をとることができる。

【 0 0 6 8 】

第2層導電層を覆うように、第2層間絶縁層92が形成されている。第2層間絶縁層92は、たとえば化学的機械的研磨法により、平坦化処理がなされて構成されることができる。

【 0 0 6 9 】

2. 4 第3層導電層

以下、図5および図10を参照しながら、第3層導電層を説明する。なお、第3層導電層とは、第2層間絶縁層92の上に形成された導電層をいう（図12および図13参照）。

【 0 0 7 0 】

第3層導電層は、第2ドレインーゲート配線層の上層部32bと、主ワード線50と、Vdd配線52と、第2BLコンタクトパッド層70bと、第2／BLコンタクトパッド層72bと、第2Vssコンタクトパッド層74bとを有する。

【 0 0 7 1 】

第2ドレインーゲート配線層の上層部32b、主ワード線50およびVdd配線52は、X方向に沿って伸びるように形成されている。第2BLコンタクトパッド層70bと、第2／BLコンタクトパッド層72bと、第2Vssコンタクトパッド層74bとは、Y方向に沿って伸びるように形成されている。

【 0 0 7 2 】

以下、第3層導電層の各構成要素について、具体的に説明する。

【 0 0 7 3 】

1) 第2ドレインーゲート配線層の上層部

第2ドレインゲート配線層の上層部32bは、図10に示すように、第2層導電層の第2ドレインードレイン配線層42と交差するように形成されている。具体的には、第2ドレインゲート配線層の上層部32bは、第1ドレインードレイン配線層40の端部40bの上方から、第2ドレインゲート配線層の下層部32aの端部32a1の上方まで形成されている。第2ドレインゲート配線層の上層部32bは、第2層導電層と第3層導電層とのコンタクト部（以下「第2層・第3層コンタクト部」という）84を介して、第1ドレインードレイン配線層40の端部40bと電氣的に接続されている。また、第2ドレインゲート配線層の上層部32bは、第2層・第3層コンタクト部84を介して、第2ドレインゲート配線層の下層部32aの端部32a1と電氣的に接続されている。

【0074】

図1に示すように、第2層導電層の第1ドレインードレイン配線層40と、第1層導電層の第2ゲートゲート電極層22とは、第2層・第3層コンタクト部84、第2ゲートードレイン配線層の上層部32b、第2層・第3層コンタクト部84、第2ゲートードレイン配線層の下層部32a、第1層・第2層コンタクト部82を介して、電氣的に接続されている。

【0075】

2) V d d 配線

V d d 配線52は、図10に示すように、V d d コンタクトパッド層76の上方を通るように形成されている。V d d 配線52は、第2層・第3層コンタクト部84を介して、V d d コンタクトパッド層76と電氣的に接続されている。

【0076】

3) 第2 B L コンタクトパッド層

第2 B L コンタクトパッド層70bは、第1 B L コンタクトパッド層70aの上方に位置している。第2 B L コンタクトパッド層70bは、第2層・第3層コンタクト部84を介して、第1 B L コンタクトパッド層70aと電氣的に接続されている。

【0077】

4) 第2 / B L コンタクトパッド層

第2 / B L コンタクトパッド層 7 2 b は、第1 / B L コンタクトパッド層 7 2 a の上方に位置している。第2 / B L コンタクトパッド層 7 2 b は、第1 / B L コンタクトパッド層 7 2 a と、第2層・第3層ーコンタクト部 8 4 を介して電氣的に接続されている。

【 0 0 7 8 】

5) 第2 V s s コンタクトパッド層

第2 V s s コンタクトパッド層 7 4 b は、第1 V s s コンタクトパッド層 7 4 a の上方に位置している。第2 V s s コンタクトパッド層 7 4 b は、第2層・第3層ーコンタクト部 8 4 を介して、第1 V s s コンタクトパッド層 7 4 a と電氣的に接続されている。

【 0 0 7 9 】

6) 第3層導電層等の断面構造

次に、第3層導電層の断面構造について、図 1 2 および図 1 3 を用いて説明する。第3層導電層は、たとえば、下から順に、高融点金属の窒化物層、金属層、高融点金属の窒化物層が積層された構造を有する。高融点金属の窒化物層の材質としては、たとえば窒化チタンを挙げることができる。金属層の材質としては、たとえば、アルミニウム、銅、またはこれらの合金を挙げることができる。

【 0 0 8 0 】

次に、第2層・第3層ーコンタクト部 8 4 の断面構造について説明する。第2層・第3層ーコンタクト部 8 4 は、第2層間絶縁層 9 2 に形成されたスルーホール 9 2 a を充填するように形成されている。第2層・第3層ーコンタクト部 8 4 は、フィールド・第2層ーコンタクト部 8 0 において述べた構成と同様の構成をとることができる。

【 0 0 8 1 】

第3層導電層を覆うように、第3層間絶縁層 9 4 が形成されている。第3層間絶縁層 9 4 は、たとえば化学的機械的研磨法により、平坦化処理がなされて構成されることができる。

【 0 0 8 2 】

2. 5 第4層導電層

以下、図6および図11を参照して、第4層導電層を説明する。なお、第4層導電層とは、第3層間絶縁層94の上に形成された導電層をいう。

【0083】

第4層導電層は、ビット線60と、／ビット線62と、Vss配線64とを有する。

【0084】

ビット線60、／ビット線62およびVss配線64は、Y方向に沿って伸びるように形成されている。

【0085】

以下、具体的に、ビット線60、／ビット線62およびVss配線64の構成を説明する。

【0086】

1) ビット線

ビット線60は、図11に示すように、第2BLコンタクトパッド層70bの上方を通るように形成されている。ビット線60は、第3層導電層と第4層導電層とのコンタクト部（以下「第3層・第4層ーコンタクト部」という）86を介して、第2BLコンタクトパッド層70bと電氣的に接続されている。

【0087】

2) ／ビット線

／ビット線62は、図11に示すように、第2／BLコンタクトパッド層72bの上方を通るように形成されている。／ビット線62は、第3層・第4層ーコンタクト部86を介して、第2／BLコンタクトパッド層72bと電氣的に接続されている。

【0088】

3) Vss配線

Vss配線64は、図11に示すように、第2Vssコンタクトパッド層74bの上方を通るように形成されている。Vss配線64は、第3層・第4層ーコンタクト部86を介して、第2Vssコンタクトパッド層74bと電氣的に接続

されている。

【0089】

4) 第4層導電層等の断面構造

次に、第4層導電層の断面構造について、図12および図13を用いて説明する。第4層導電層は、第3層導電層で述べた構成と同様の構成をとることができる。

【0090】

次に、第3層・第4層ーコンタクト部86の断面構造について説明する。第3層・第4層ーコンタクト部86は、第3層間絶縁層94に形成されたスルーホール94aを充填するように形成されている。第3層・第4層ーコンタクト部86は、フィールド・第2層ーコンタクト部80において述べた構成と同様の構成をとることができる。

【0091】

図12および図13において図示していないが、第4層導電層の上に、パシベーション層が形成されることができる。

【0092】

3. 作用効果

以下、本実施の形態に係る半導体装置の作用効果を説明する。

【0093】

(1) 第1ドレインーゲート配線層と、第2ドレインーゲート配線層とを、同一の導電層に形成することが考えられる。この場合、第1および第2ドレインーゲート配線層が形成された導電層のパターン密度の大きさから、セル面積を小さくするのが難しい。

【0094】

しかし、本実施の形態においては、第1ドレインーゲート配線層30は、第1層導電層に位置している。また、第2ドレインーゲート配線層は、第2ドレインーゲート配線層の下層部32aと、第2ドレインーゲート配線層の上層部32bとに分けられて構成されている。第2ドレインーゲート配線層の下層部32aは第2層導電層に位置し、第2ドレインーゲート配線層の上層部32bは第3層導

電層に位置している。このため、第1ドレインゲート配線層と、第2ドレインゲート配線層とは、それぞれ異なる層に形成されている。したがって、第1ドレインゲート配線層と、第2ドレインゲート配線層とが同じ層に形成されていないため、配線層のパターン密度を小さくすることができる。その結果、本実施の形態に係るメモリセルによれば、セル面積を小さくすることができる。

【0095】

(2) ゲート長が短くなればなるほど、ショートチャネル効果により、リーク電流が大きくなる。しかし、第1負荷トランジスタQ5における第1ゲートゲート電極層20の幅W1は、第1駆動トランジスタQ3における第1ゲートゲート電極層20の幅W2よりも大きく設定されている。すなわち、第1負荷トランジスタQ5のゲート長は、第1駆動トランジスタQ3のゲート長より大きい。したがって、第1負荷トランジスタQ5における幅W1が、第1駆動トランジスタQ3における幅W2と同じかまたはそれ以上である場合に比べて、第1負荷トランジスタQ5におけるリーク電流（特にスタンバイ時におけるリーク電流）を抑えることができる。

【0096】

なお、ゲート長を長くすると、電流が流れ難くなるため、その分だけトランジスタの電流能力が低下する。しかし、負荷トランジスタは、ある程度の電流が流ればよい。このため、ある程度の電流が流れる限り、負荷トランジスタの電流能力が低下しても、メモリセルの特性に悪影響は及ばない。

【0097】

(3) また、第2負荷トランジスタQ6における第2ゲートゲート電極層22の幅W3は、第2駆動トランジスタQ4における第2ゲートゲート電極層22の幅W4よりも大きく設定されている。その結果、第2負荷トランジスタQ6におけるリーク電流を抑えることができる。

【0098】

(4) 図16に示すように、一のメモリセルMCのゲートゲート電極層20と、それと隣接する他のメモリセルMCのゲートゲート電極層22との間以外の領域に、コンタクト部80を設けた場合には、次の作用効果を奏することがで

きる。

【0099】

比較例として、図17に示すように、一のメモリセルMCのゲートーゲート電極層120と、そのメモリセルに隣接するメモリセルのゲートーゲート電極層122との間に、コンタクト部180を設けることが考えられる。ゲートーゲート電極層120、122間にコンタクト部180を設けようとする、ゲートーゲート電極層120、122とコンタクト部180との間の余裕を確保するのが難しいため、それらの間でショートを起こし易い。

【0100】

しかし、本実施の形態では、一のメモリセルMCのゲートーゲート電極層20と、他のメモリセルMCのゲートーゲート電極層22との間以外の領域に、コンタクト部80を設けている。このため、ゲートーゲート電極層20、22とコンタクト部80との間で余裕をとることができる。その結果、ゲートーゲート電極層20、22とコンタクト部80とがショートするのを抑えることができる。

【0101】

4. SRAMの電子機器への応用例

本実施の形態にかかるSRAMは、例えば、携帯機器のような電子機器に応用することができる。図14は、携帯電話機のシステムの一部のブロック図である。CPU540、SRAM550、DRAM560はバスラインにより、相互に接続されている。さらに、CPU540は、バスラインにより、キーボード510およびLCDドライバ520と接続されている。LCDドライバ520は、バスラインにより、液晶表示部530と接続されている。CPU540、SRAM550およびDRAM560でメモリシステムを構成している。

【0102】

図15は、図14に示す携帯電話機のシステムを備える携帯電話機600の斜視図である。携帯電話機600は、キーボード612、液晶表示部614、受話部616およびアンテナ部618を含む本体部610と、送話部622を含む蓋部620と、を備える。

【0103】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【 0 1 0 4 】

なお、上記の実施の形態においては、左側の負荷トランジスタおよび駆動トランジスタのそれぞれを第 1 負荷トランジスタおよび第 1 駆動トランジスタと定義した。しかし、右側の負荷トランジスタおよび駆動トランジスタをそれぞれ第 1 負荷トランジスタおよび第 1 駆動トランジスタと定義してもよい。

【図面の簡単な説明】

【図 1】

本実施の形態にかかる S R A M の等価回路と、導電層との対応関係を示す図である。

【図 2】

本実施の形態に係る S R A M のメモリセルのフィールドを模式的に示す平面図である。

【図 3】

本実施の形態に係る S R A M のメモリセルの第 1 層導電層を模式的に示す平面図である。

【図 4】

本実施の形態に係る S R A M のメモリセルの第 2 層導電層を模式的に示す平面図である。

【図 5】

本実施の形態に係る S R A M のメモリセルの第 3 層導電層を模式的に示す平面図である。

【図 6】

本実施の形態に係る S R A M のメモリセルの第 4 層導電層を模式的に示す平面図である。

【図 7】

本実施の形態に係る S R A M のメモリセルのフィールドおよび第 1 層導電層を模式的に示す平面図である。

【図 8】

本実施の形態に係る S R A M のメモリセルのフィールドおよび第 2 層導電層を模式的に示す平面図である。

【図 9】

本実施の形態に係る S R A M のメモリセルの第 1 層導電層および第 2 層導電層を模式的に示す平面図である。

【図 1 0】

本実施の形態に係る S R A M のメモリセルの第 2 層導電層および第 3 層導電層を模式的に示す平面図である。

【図 1 1】

本実施の形態に係る S R A M のメモリセルの第 3 層導電層および第 4 層導電層を模式的に示す平面図である。

【図 1 2】

図 2 ～図 1 1 の A - A 線に沿った断面を模式的に示す断面図である。

【図 1 3】

図 2 ～図 1 1 の B - B 線に沿った断面を模式的に示す断面図である。

【図 1 4】

本実施の形態にかかる S R A M を備えた、携帯電話機のシステムの一部のブロック図である。

【図 1 5】

図 1 4 に示す携帯電話機のシステムを備える携帯電話機の斜視図である。

【図 1 6】

負荷トランジスタのソースを引き出すためのフィールド・第 2 層 - コンタクト部の構成例を模式的に示す平面図である。

【図 1 7】

比較例に係る半導体装置の平面を模式的に示す平面図である。

【符号の説明】

1 0 シリコン基板

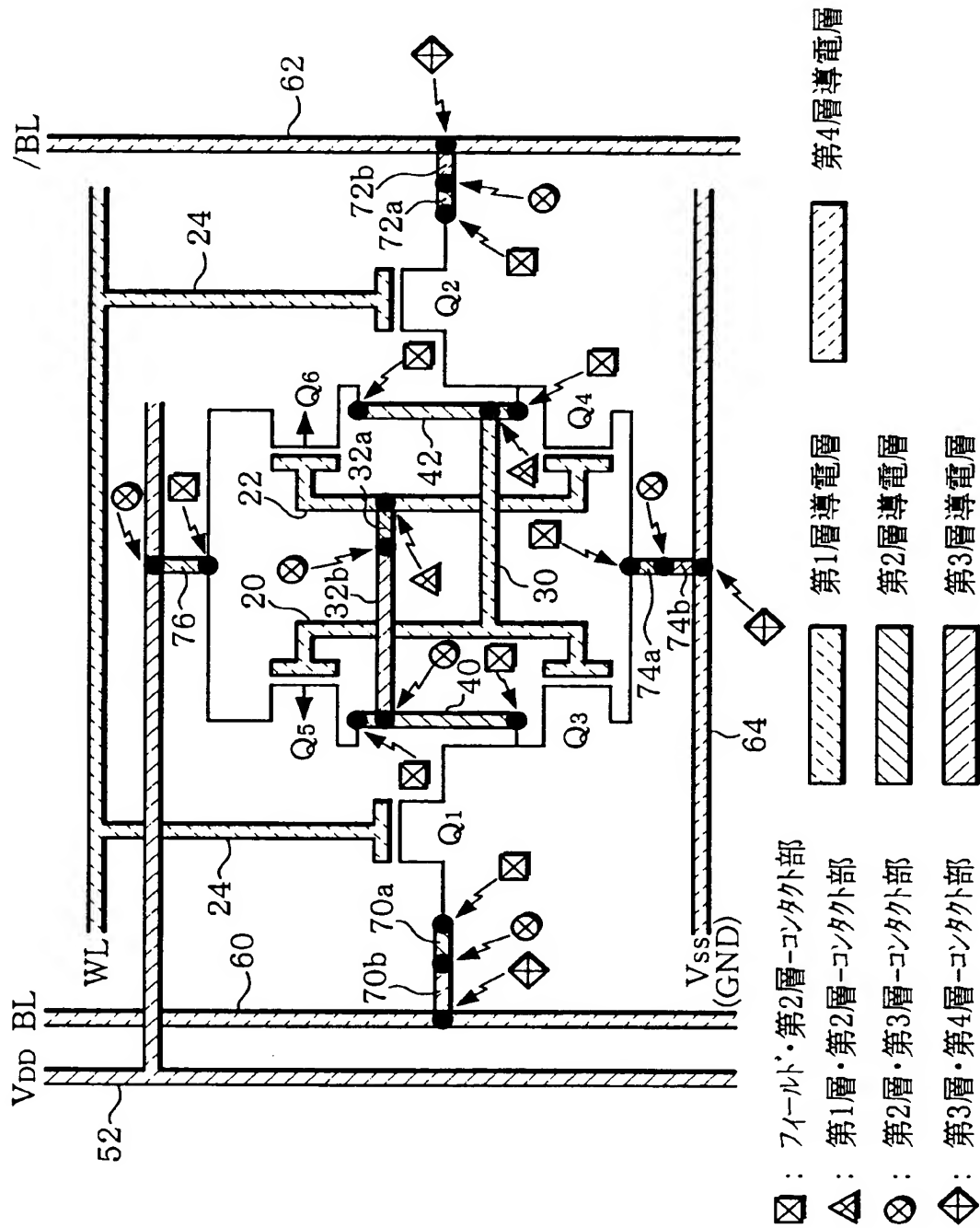
1 2 素子分離領域

- 1 4 第 1 活性領域
- 1 4 a, 1 4 b p^+ 型不純物層
- 1 5 第 2 活性領域
- 1 5 a, 1 5 b p^+ 型不純物層
- 1 6 第 3 活性領域
- 1 6 a, 1 6 b, 1 6 c n^+ 型不純物層
- 1 6 d p^+ 型不純物層
- 1 7 第 4 活性領域
- 1 7 a, 1 7 b, 1 7 c n^+ 型不純物層
- 1 7 d p^+ 型不純物層
- 2 0 第 1 ゲートーゲート電極層
- 2 2 第 2 ゲートーゲート電極層
- 2 4 副ワード線
- 3 0 第 1 ゲートードレイン配線層
- 3 2 a 第 2 ゲートードレイン配線層の下層部
- 3 2 b 第 2 ゲートードレイン配線層の上層部
- 4 0 第 1 ドレインードレイン配線層
- 4 2 第 2 ドレインードレイン配線層
- 5 0 主ワード線
- 5 2 V d d 配線
- 6 0 ビット線
- 6 2 / ビット線
- 6 4 V s s 配線
- 7 0 a 第 1 B L コンタクトパッド層
- 7 0 b 第 2 B L コンタクトパッド層
- 7 2 a 第 1 / B L コンタクトパッド層
- 7 2 b 第 2 / B L コンタクトパッド層
- 7 4 a 第 1 V s s コンタクトパッド層
- 7 4 b 第 2 V s s コンタクトパッド層

- 7 6 V d d コンタクトパッド層
- 8 0 フィールド・第 2 層ーコンタクト部
- 8 2 第 1 層・第 2 層ーコンタクト部
- 8 4 第 2 層・第 3 層ーコンタクト部
- 8 6 第 3 層・第 4 層ーコンタクト部
- 9 0 層間絶縁層
- 9 0 a スルーホール
- 9 2 層間絶縁層
- 9 2 a スルーホール
- 9 4 層間絶縁層
- 9 4 a スルーホール
- Q 1 第 1 転送トランジスタ
- Q 2 第 2 転送トランジスタ
- Q 3 第 1 駆動トランジスタ
- Q 4 第 2 駆動トランジスタ
- Q 5 第 1 負荷トランジスタ
- Q 6 第 2 負荷トランジスタ

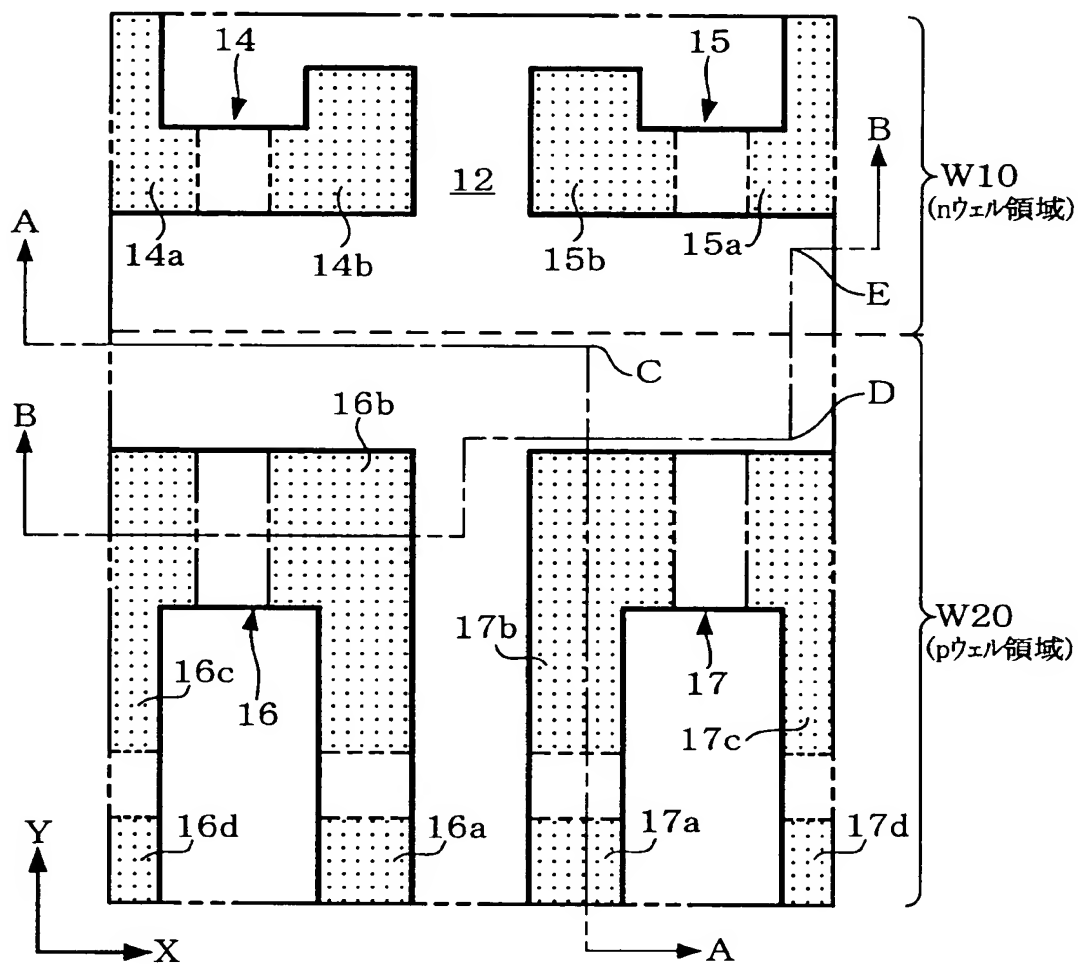
【書類名】 図面

【図 1】



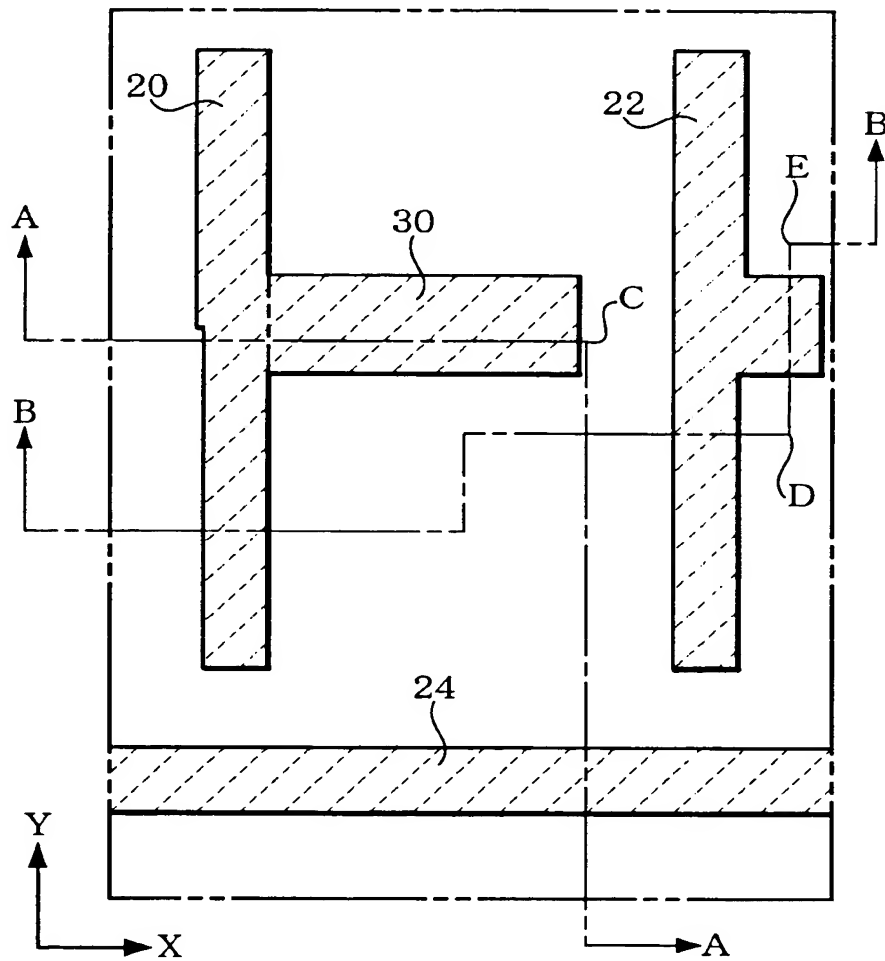
【図 2】

フィルド



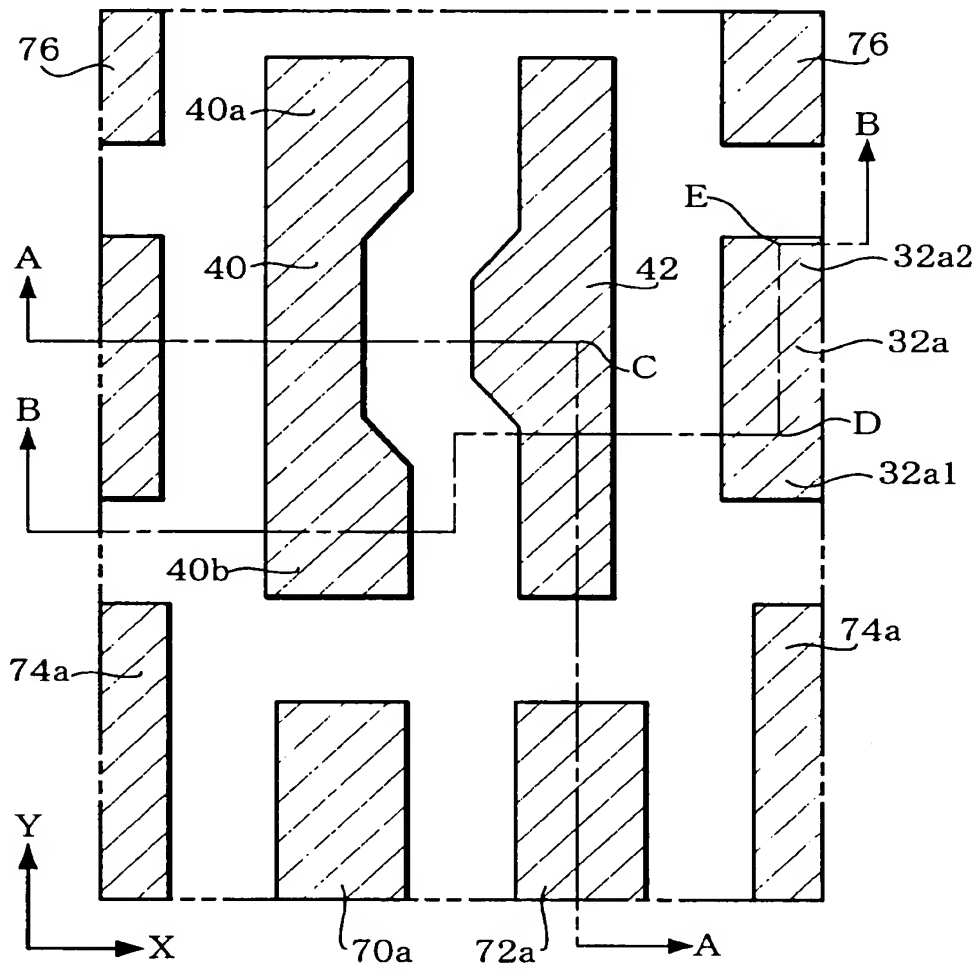
【図 3】

第1層導電層



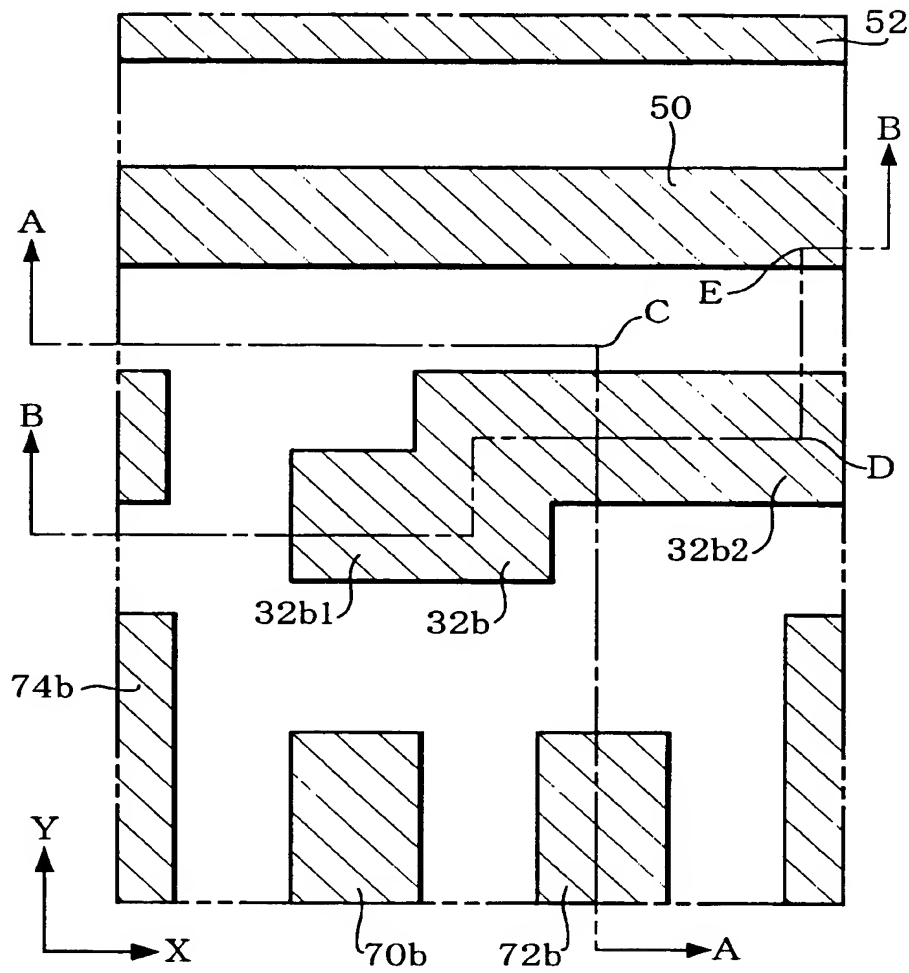
【図 4】

第2層導電層



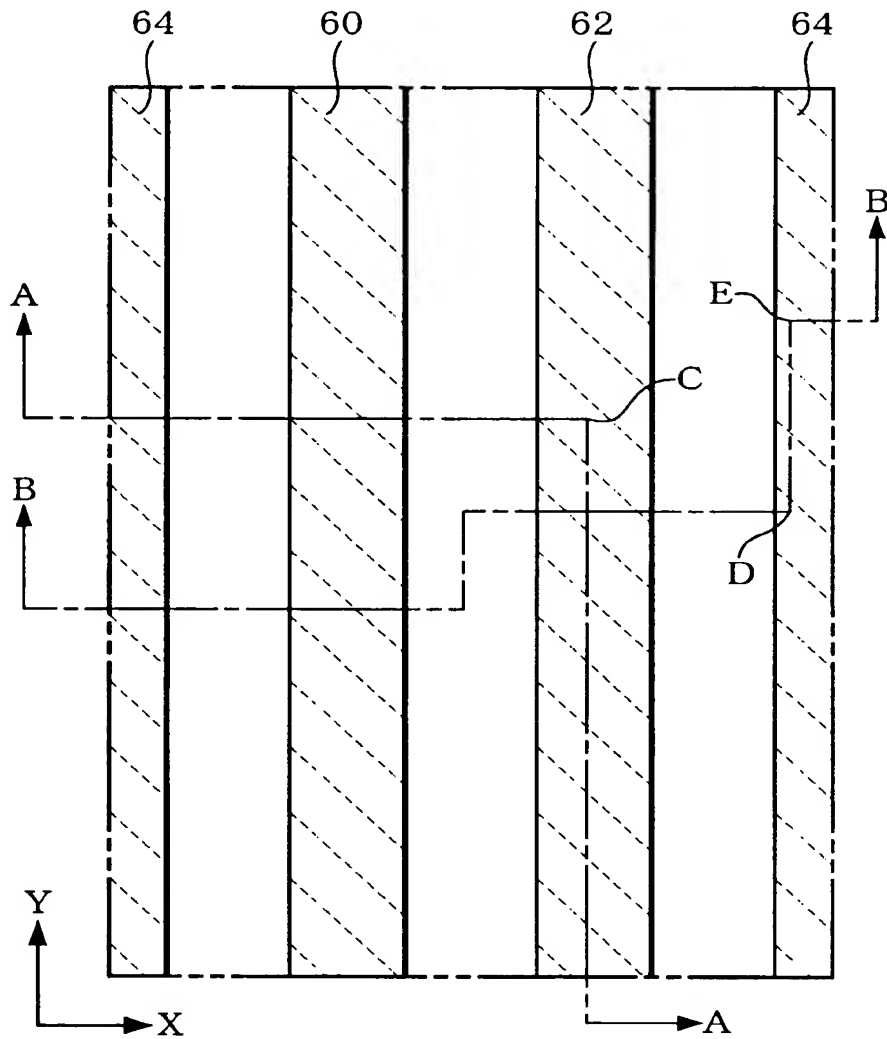
【図 5】

第3層導電層



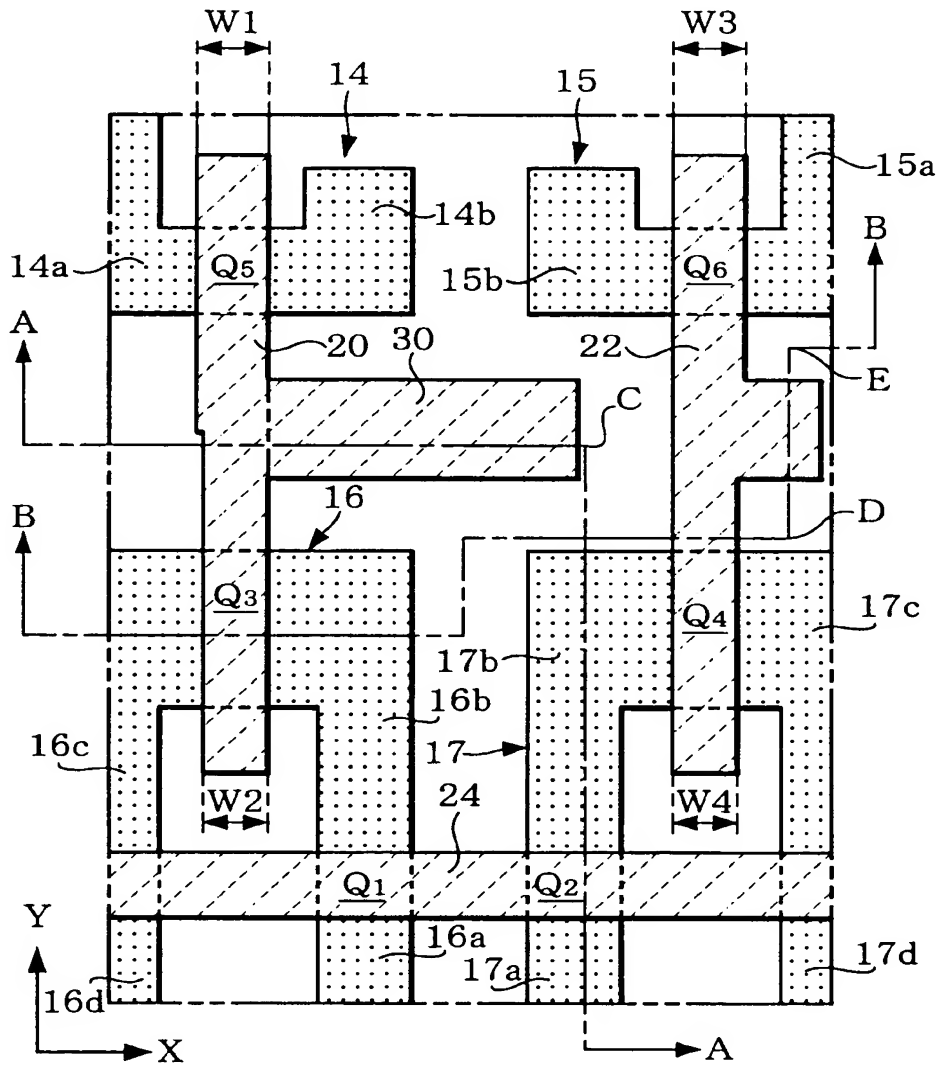
【図 6】

第4層導電層



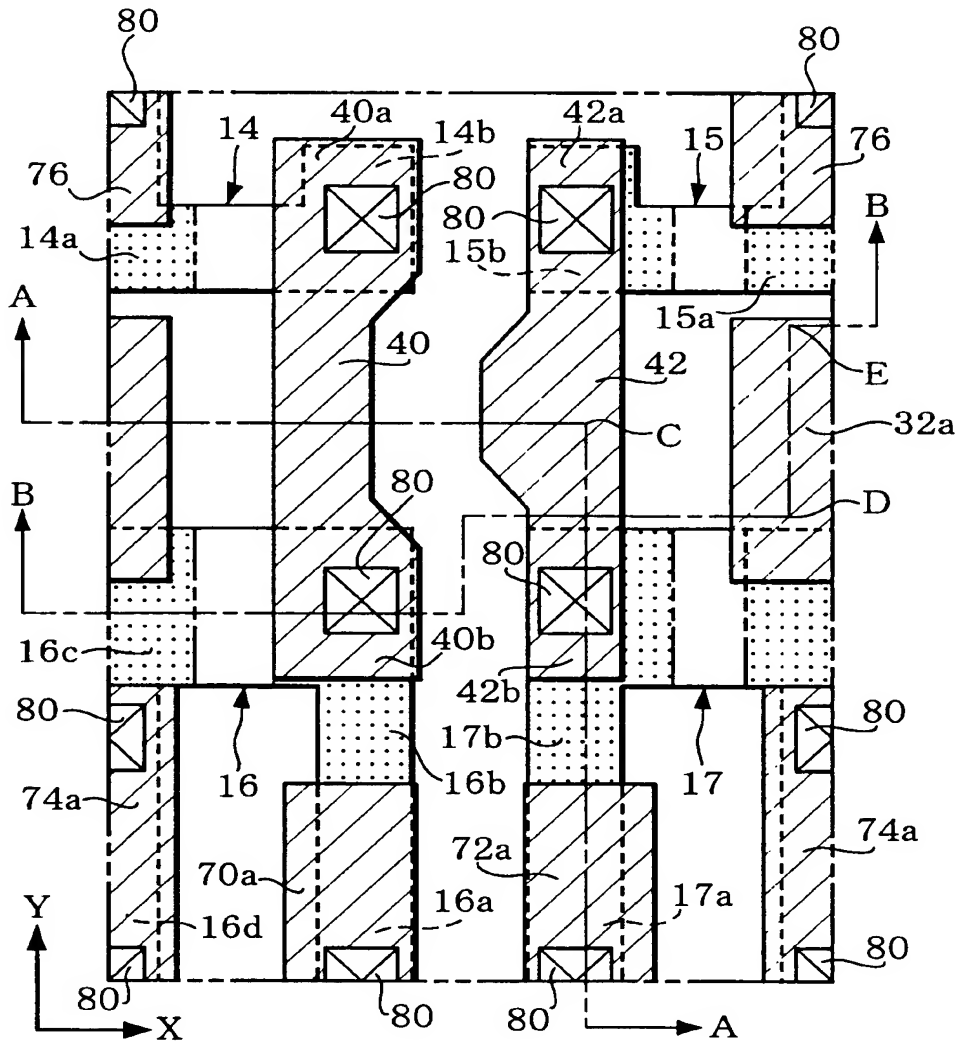
【図7】

フィルタ-第1層導電層



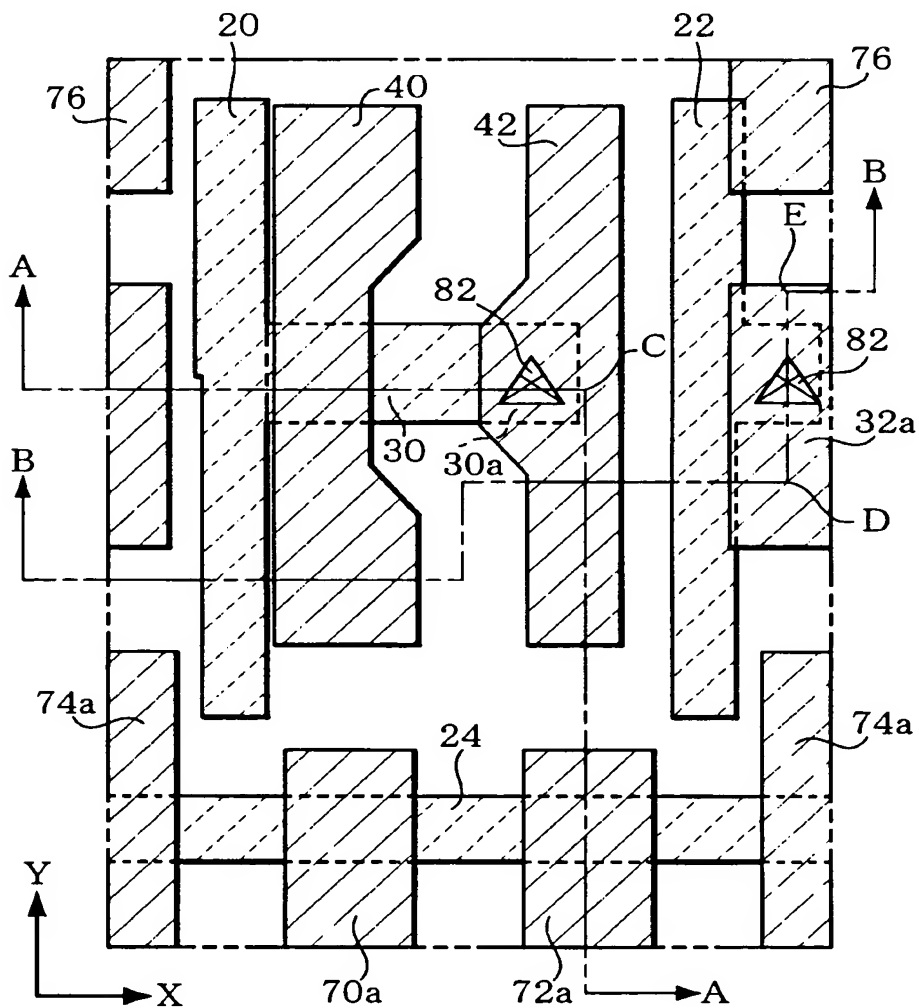
【図 8】

フィルタ-第2層導電層



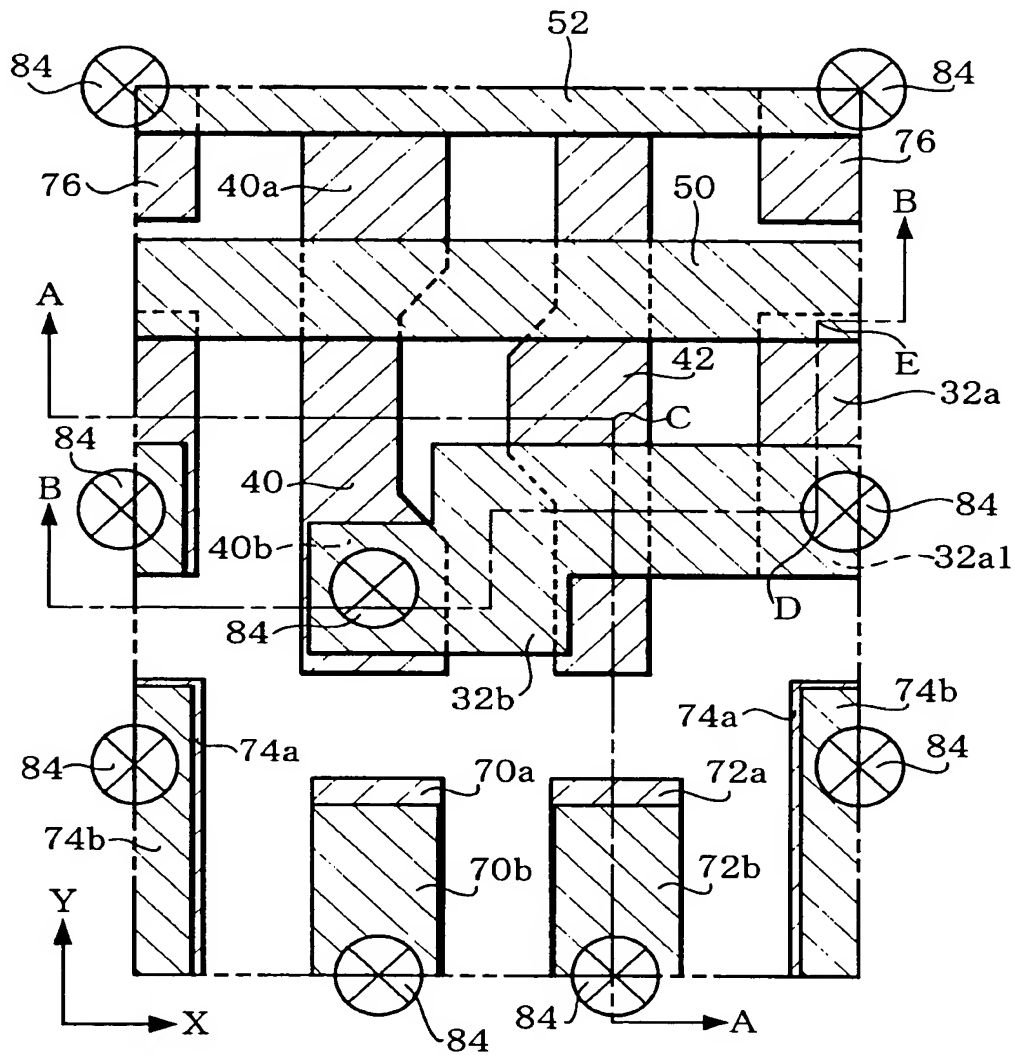
【図 9】

第1層導電層-第2層導電層



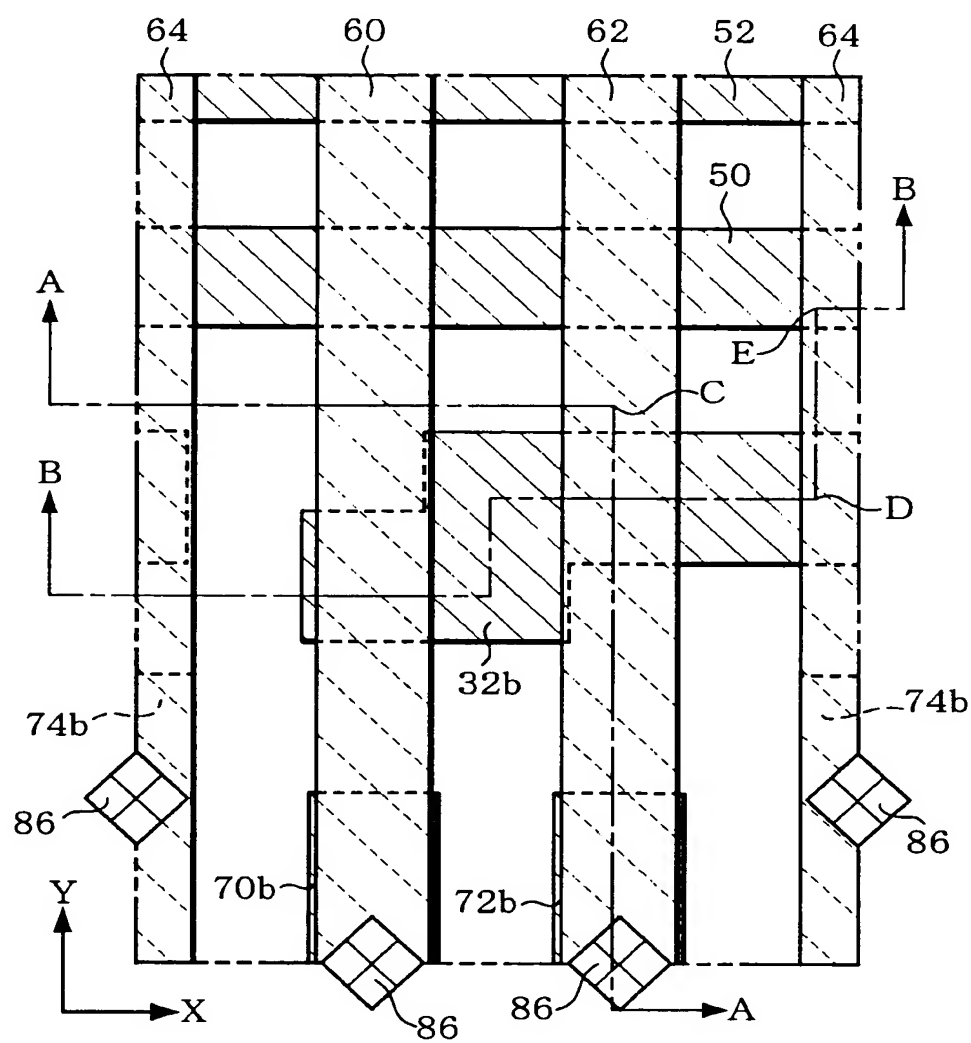
【図10】

第2層導電層-第3層導電層

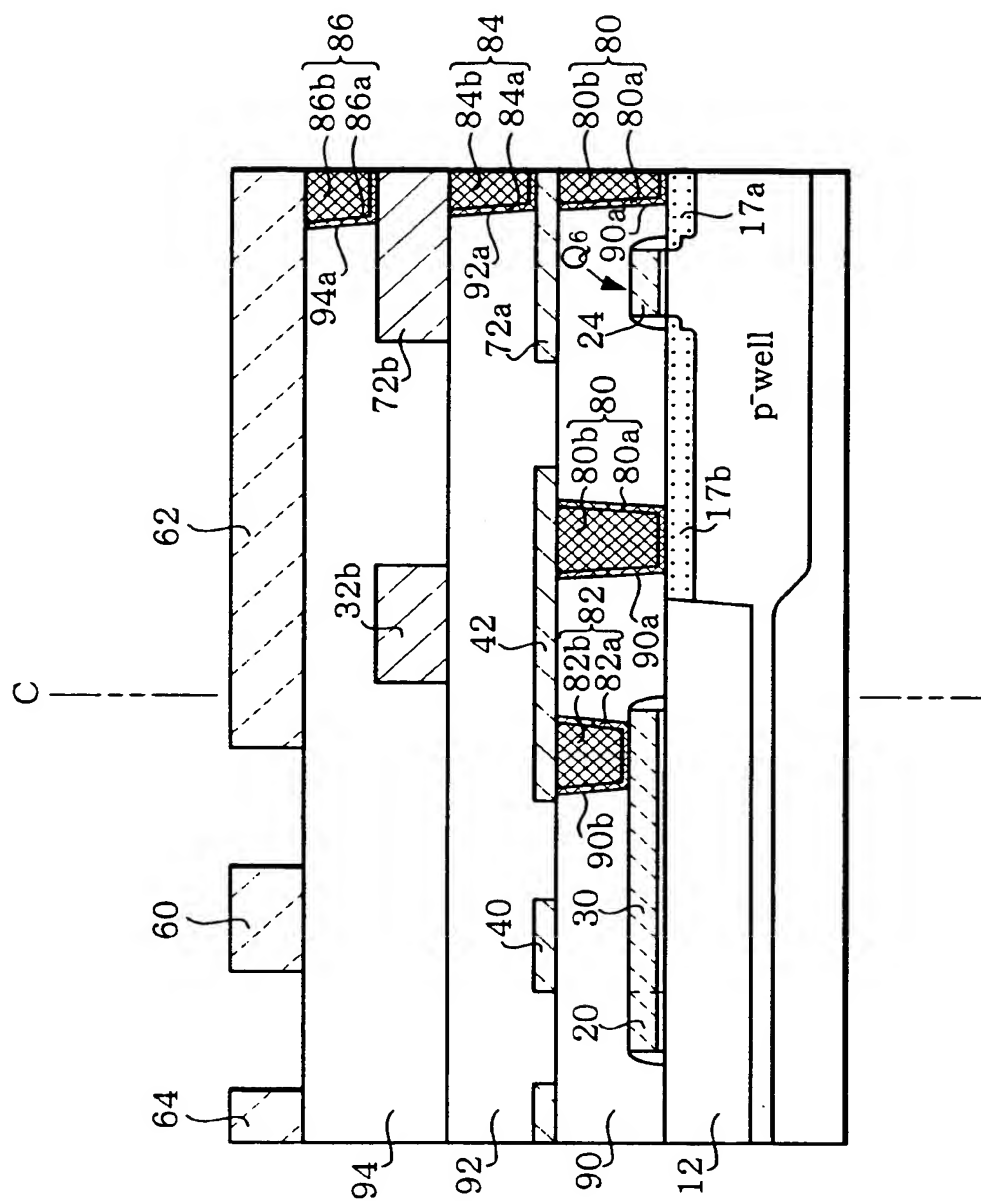


【図 11】

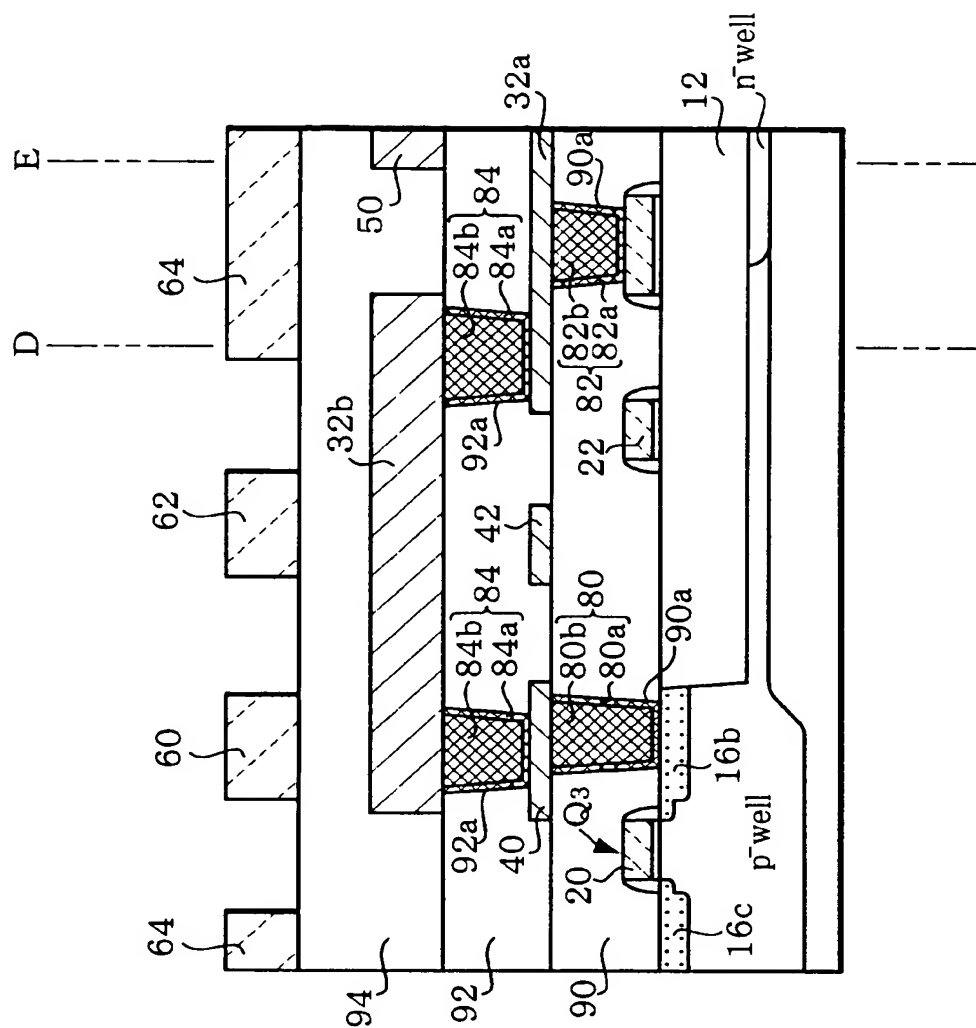
第3層導電層-第4層導電層



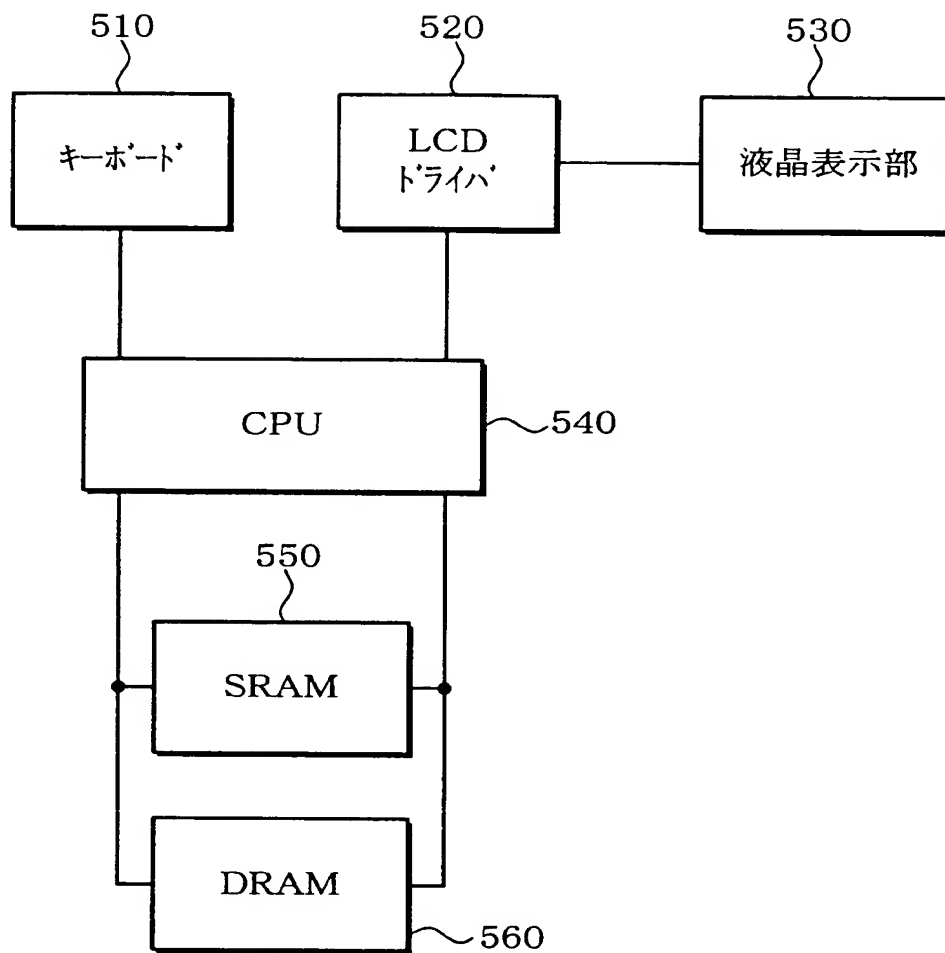
【图 12】



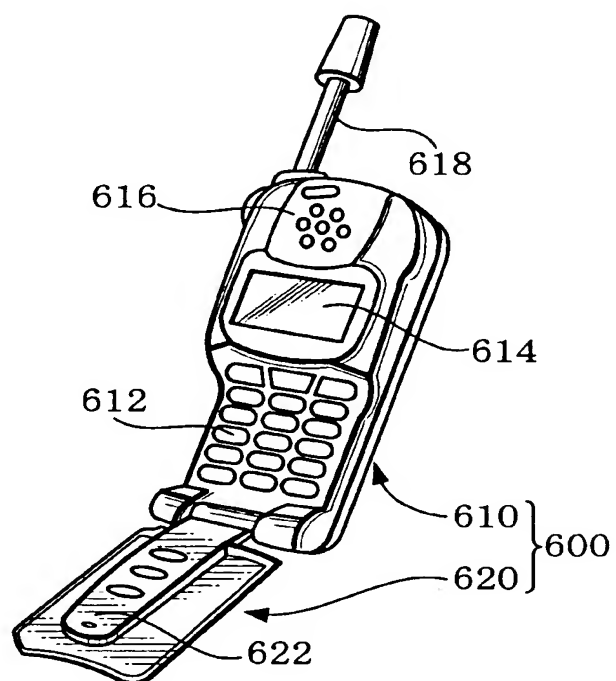
【図 13】



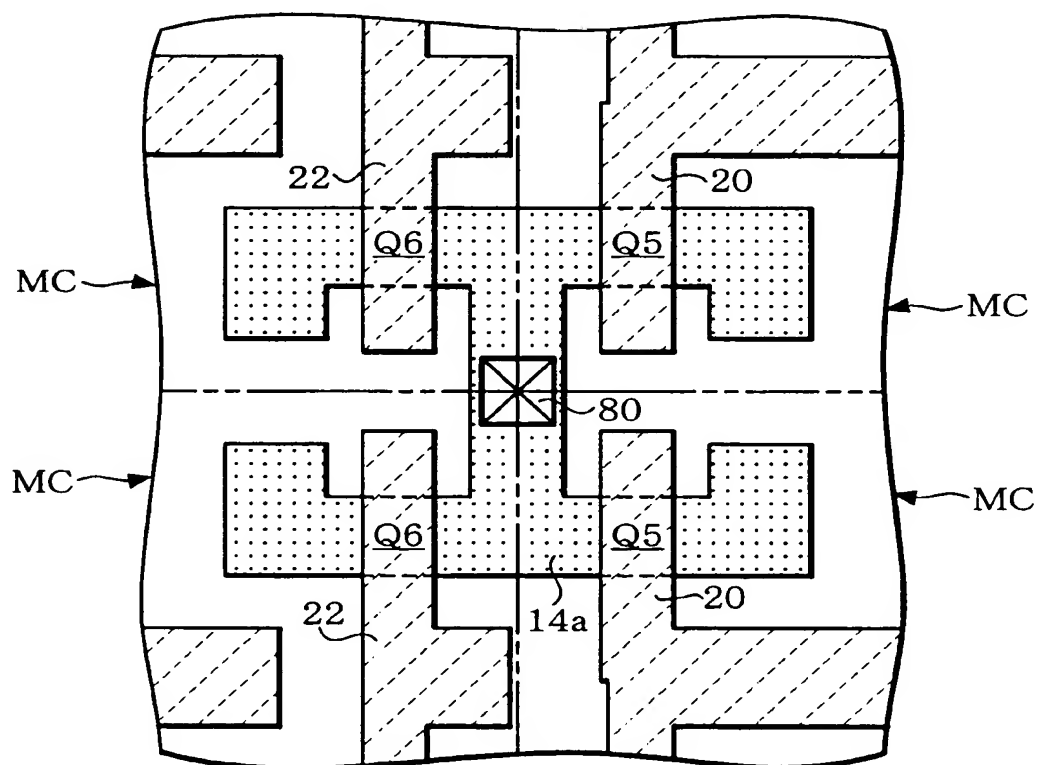
【図 1 4】



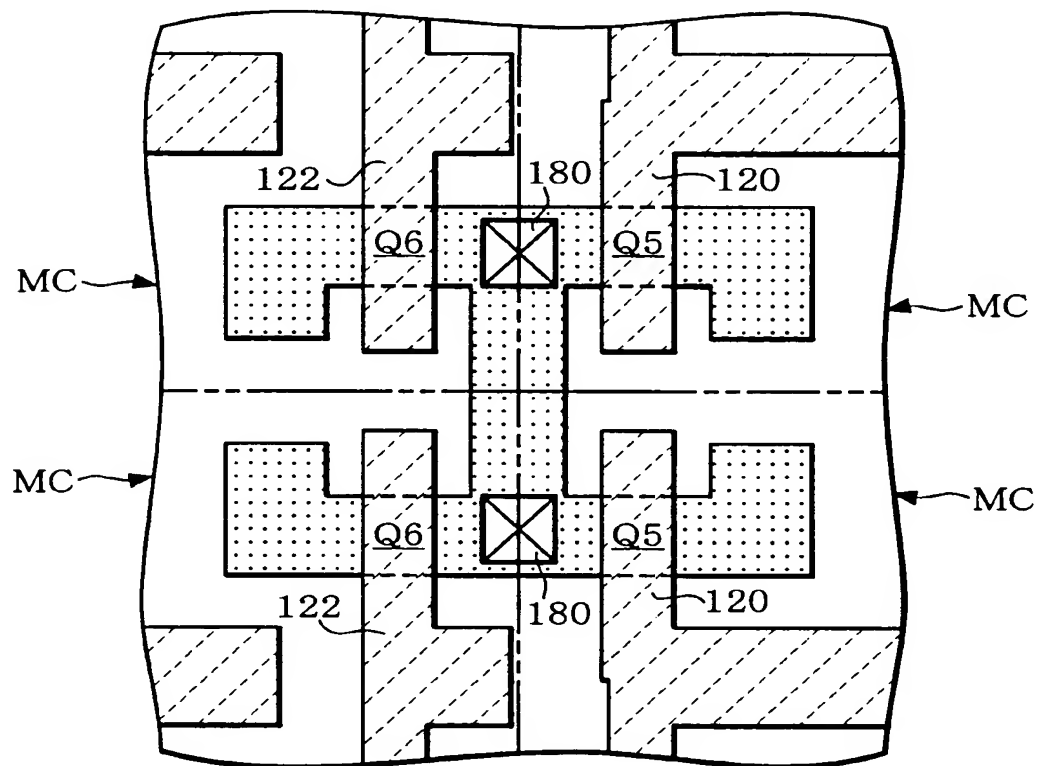
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 セル面積を小さくすることができる、半導体装置を提供する。また、その半導体装置を含むメモリシステムおよび電子機器を提供する。

【解決手段】 半導体装置は、SRAMメモリセルを備える。半導体装置は、第1ゲートーゲート電極層20と、第2ゲートーゲート電極層22と、第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第1ドレインーゲート配線層30と、第2ドレインーゲート配線層32a, 32bと、を含む。第1ドレインーゲート配線層30および第2ドレインーゲート配線層の上層部および下層部32a, 32bは、それぞれ異なる層に位置している。第1負荷トランジスタQ5における第1ゲートーゲート電極層20の幅W1は、第1駆動トランジスタQ3における第1ゲートーゲート電極層20の幅W2よりも大きい。

【選択図】 図7

認定・付加情報

特許出願の番号	特願 2001-330784
受付番号	50101591687
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 13 年 11 月 1 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100090479

【住所又は居所】 東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM
ビル 2 階 井上・布施合同特許事務所

【氏名又は名称】 井上 一

【選任した代理人】

【識別番号】 100090387

【住所又は居所】 東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM
ビル 2 階 井上・布施合同特許事務所

【氏名又は名称】 布施 行夫

【選任した代理人】

【識別番号】 100090398

【住所又は居所】 東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM
ビル 2 階 井上・布施合同特許事務所

【氏名又は名称】 大淵 美千栄

次頁無

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社